

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-158682

(43)Date of publication of application : 30.05.2003

(51)Int.Cl.

H04N 5/335

H04N 5/225

(21)Application number : 2002-094747

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.03.2002

(72)Inventor : WATANABE TORU

(30)Priority

Priority number : 2001272022

Priority date : 07.09.2001

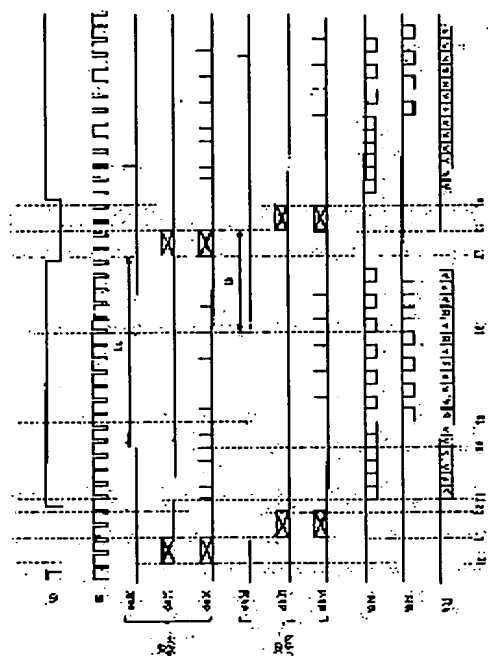
Priority country : JP

(54) METHOD FOR DRIVING IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image pickup device employing two solid-state imaging elements that extracts two image signals matching a display image.

SOLUTION: The driving method of this invention drives only a first CCD solid-state imaging element 31a in timings t_0 to t_5 to provide an output of a first image signal $Y_a(t)$. The method stops supply of drive clocks to a second CCD solid-state imaging element 31b to deactivate it for that time. The method drives the first and second solid-state imaging elements 31a, 31b in succeeding timings t_6 and t_7 to alternately output first and second image signals $Y_a(t)$, $Y_b(t)$ by each prescribed time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-158682
(P2003-158682A)

(43)公開日 平成15年 5 月30日 (2003. 5. 30)

(51)IntCl. ⁷	識別記号	F I	テ-マコード (参考)
H 0 4 N	5/335	H 0 4 N	P 5 C 0 2 2
	5/225	5/225	F 5 C 0 2 4
			Z

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21)出願番号 特願2002-94747(P2002-94747)
(22)出願日 平成14年 3 月29日 (2002. 3. 29)
(31)優先権主張番号 特願2001-272022(P2001-272022)
(32)優先日 平成13年 9 月 7 日 (2001. 9. 7)
(33)優先権主張国 日本 (J P)

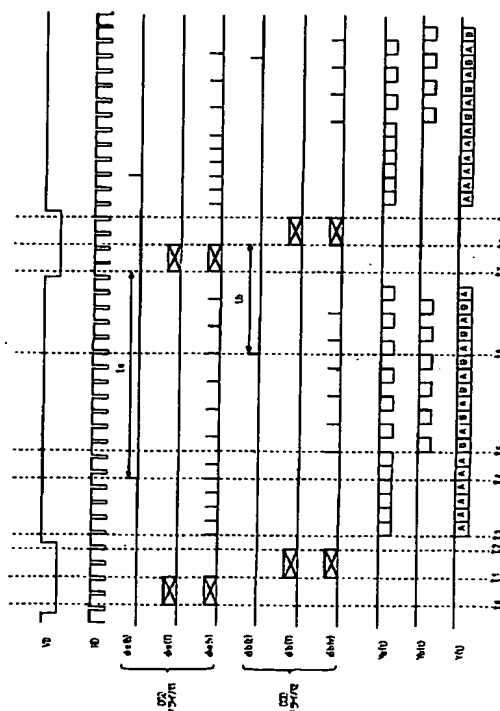
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通 2 丁目 5 番 5 号
(72)発明者 渡辺 透
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
(74)代理人 100111383
弁理士 芝野 正雅
Fターム(参考) 5C022 AB68 AC42
5C024 CY18 CY41 EX17 GY03 GZ02
HX23 HX58 JX07

(54)【発明の名称】 撮像装置の駆動方法

(57)【要約】

【課題】 2つの固体撮像素子を用いた撮像装置において、2つの画像信号を表示画像に合わせて取り出すようにする。

【解決手段】 タイミング $t_0 \sim t_5$ においては、第1のCCD固体撮像素子31aだけを駆動し、第1の画像信号 $Y_a(t)$ を出力させる。この間、第2のCCD固体撮像素子31bへは、駆動クロックの供給を停止して動作を停止させておく。続くタイミング $t_6 \sim t_7$ では、第1及び第2の固体撮像素子31a、31bを駆動させ、第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ を所定の時間毎に交互に出力させる。



【特許請求の範囲】

【請求項 1】 行列配置される複数の受光画素の各列に対応して配置される複数の垂直シフトレジスタと、前記複数の垂直シフトレジスタの各出力が各ビットに対応付けられる水平シフトレジスタと、を含む固体撮像素子が少なくとも 2 個並列に配置される撮像装置の駆動方法において、

第 1 及び第 2 の被写体画像に応答して発生する情報電荷を第 1 及び第 2 の固体撮像素子の各受光画素に蓄積する蓄積ステップと、

前記第 1 及び第 2 の固体撮像素子の各受光画素に蓄積された情報電荷を前記複数の垂直シフトレジスタを介して前記水平シフトレジスタへ転送出力する転送ステップと、

前記第 1 及び第 2 の固体撮像素子の各水平シフトレジスタに出力された情報電荷をそれぞれ第 1 及び第 2 の画像信号として出力する出力ステップと、を有し、

前記出力ステップは、前記第 1 及び第 2 の固体撮像素子の水平シフトレジスタから前記第 1 及び第 2 の画像信号を所定の時間毎に交互に出力する期間を含むことを特徴とする撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、複数の固体撮像素子を用いて複数の被写体画像を撮像し、それによって得られる複数系列の画像信号を合成して共通の表示画面に複数の再生画像を表示する撮像装置の駆動方法に関する。

【0002】

【従来の技術】デジタルスチルカメラ等の撮像装置において、複数の固体撮像素子を搭載し、互いに異なる被写体を同時に撮像することが考えられている。このような撮像装置では、複数の固体撮像装置から得られる複数系列の画像信号を合成して、例えば、1 つの表示画面上に複数の再生画像を表示するように構成される。図 7 は、複数の固体撮像素子を搭載した撮像装置の一例を示すブロック図である。

【0003】図 7 に示す撮像装置は、2 つの被写体画像を撮像するために、それぞれの被写体に対応して 2 つの撮像装置 20a、20b を有しており、メモリコントローラ 9 によって、それぞれの出力が制御される。

【0004】第 1 の撮像装置 20a は、第 1 の CCD 固体撮像素子 1a、第 1 の昇圧回路 2a、第 1 の CCD ドライバ回路 3a、第 1 のタイミング制御回路 4a、第 1 のアナログ信号処理回路 5a、第 1 の A/D 変換回路 6a、第 1 のデジタル信号処理回路 7a 及び第 1 のメモリ 8a から構成され、第 1 の撮像系をなしている。第 1 の CCD 固体撮像素子 1a は、複数の受光画素が行列配置され、入射される第 1 の被写体画像に反応して発生した情報電荷を各受光画素に蓄積する。また、第 1 の CCD

固体撮像素子 1a は、各受光画素に発生する過剰な情報電荷を基板側へ吸収させる、いわゆる縦型オーバーフローレイン構造を有しており、各受光画素に蓄積される情報電荷の基板側への排出が可能になっている。

【0005】第 1 の昇圧回路 2a は、入力される電源電圧 V_D (図示せず) を昇圧して昇圧電圧を発生し、第 1 の CCD ドライバ回路 3a へ供給する。第 1 の CCD ドライバ回路 3a は、第 1 の昇圧回路 2a で生成される昇圧電圧を用いて複数のクロックパルスを生成し、第 1 の CCD 固体撮像素子 1a へ供給する。これら複数のクロックパルスは、第 1 のタイミング制御回路 4a から供給される各種タイミング信号に基づいて生成される。これにより、第 1 の CCD 固体撮像素子 1a の各受光画素に蓄積された情報電荷の電荷量に応じた画像信号 $Y(t)$ が、第 1 の CCD 固体撮像素子 1a から 1 画素単位で取り出される。

【0006】第 1 のタイミング制御回路 4a は、一定周期の基準クロック CK をカウントする複数のカウンタからなり、基準クロック CK を分周して垂直同期信号 VD 及び水平同期信号 HD を生成する。そして、これら垂直同期信号 VD 及び水平同期信号 HD に同期するタイミングで、第 1 の CCD ドライバ回路 1b に供給する各種タイミング信号を生成する。これにより、第 1 の CCD 固体撮像素子 1a からは、水平同期信号 HD に同期するタイミングで 1 ライン毎の画像信号 $Y(t)$ が出力され、垂直同期信号 VD に同期するタイミングで 1 画面毎の画像信号 $Y(t)$ が出力される。

【0007】第 1 のアナログ信号処理回路 5a は、第 1 の CCD 固体撮像素子 1a から出力される画像信号 $Y_a(t)$ に対して、CDS (Correlated Double Sampling: 相関二重サンプリング)、AGC (Automatic Gain Control: 自動利得制御) 等のアナログ信号処理を施す。CDS では、リセットレベルと信号レベルとを繰り返す画像信号に対し、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルの連続する画像信号を生成する。AGC では、CDS で取り出された画像信号を 1 画面、或いは、1 垂直走査期間単位で積分して、その積分データを所定の範囲内に収めるようにゲイン調整を行う。第 1 の A/D 変換器 6a は、第 1 のアナログ信号処理回路 5a から出力される第 1 の画像信号 $Y_a(t)$ を第 1 の CCD 固体撮像素子 1a の出力タイミングに同期して規格化し、デジタル信号の第 1 の画像データ $Y_a(n)$ を出力する。

【0008】第 1 のデジタル信号処理回路 7a は、第 1 の画像データ $Y_a(n)$ に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データ $Y'(n)$ を生成する。また、第 1 のデジタル信号処理回路 7a では、露光制御回路及びホワイトバランス制御回路を内蔵し、第 1 の CCD 固体撮像素子 1a の露光状態を制御する露光制御、画像信号 $Y(t)$ のホワイトバ

ランスを調整するホワイトバランス補正処理を施す。第1のメモリ8aはフレームメモリであり、メモリコントローラ9からの書き込み指示に応答して第1のデジタル信号処理回路7aから出力される輝度データ及び色差データを1画面単位で格納する。

【0009】第2の撮像装置20bは、第2のCCD固体撮像素子1b、第2の昇圧回路2b、第2のCCDドライバ回路3b、第2のタイミング制御回路4b、第2のアナログ信号処理回路5b、第2のA/D変換回路6b、第2のデジタル信号処理回路7b及び第2のメモリ8bから構成され、第2の撮像系をなしている。この第2の撮像装置20bを構成する各回路は、第1の撮像装置20aを構成する各回路と同一の回路構成であり、第2のCCD固体撮像素子1bから出力される第2の画像信号に対して同等の処理を行う。

【0010】メモリコントローラ9は、第1及び第2のメモリ8a、8bからの第1及び第2の画像データの読み出しタイミングを制御し、第1の撮像装置20aで撮像された撮影画像と第2の撮像装置20bで撮像された撮影画像とが、単一の表示画面上で再生されるように制御する。例えば、図8(a)に示すように、単一の表示画面で垂直方向に分割された2つの領域に、第1の撮像装置20aで撮像された第1の撮影画像Aと第2の撮像装置20bで撮像された第2の撮像画像Bとをそれぞれ表示する場合、第1及び第2のメモリ8a、8bから第1の撮影画像Aに対応する第1の画像データYa(n)と第2の撮影画像Bに対応する第2の画像データYb(n)とを取り出すようにする。その後、表示画面上での表示形態に合うように2つの画像データを合成する。また、図8(b)に示すように、表示画面上に主として第1の撮像画像Aを表示し、表示画面の左下の1/4の領域に第2の撮像画像Bを縮小表示する場合、第1のメモリ8aから表示画面の上半分に相当する第1の画像データYa(n)を読み出し、その後、第1及び第2のメモリ8a、8bから表示画面の下半分の領域に相当する第1の画像データYa(n)と第2の画像データYb(n)とを読み出す。このとき、第2の撮影画像Bが表示画面上に割り当てられた領域で1画面分を表示するために、第2のメモリ8から読み出される1画面分の画像データを1/4のデータに圧縮する。そして、第1の画像データYa(n)と圧縮された第2の画像データYb(n)とを合成して、第1の撮影画像Aと1/4に縮小された第2の撮影画像Bとを1つの表示画面上に同時に表示する。

【0011】

【発明が解決しようとする課題】上述のような複数の被写体画像を複数の固体撮像素子を用いて撮像し、単一の表示画面上に複数の撮影画像を同時に表示する撮像装置は、各撮像画像の1画面分の画像データを画像メモリに格納し、その後、メモリコントローラによってデータの読み出しタイミングを制御して、各画像データの順序を

並び変えた後に合成するようにしている。このような撮像装置では、各撮像画像の1画面分のデータを一旦格納するために、1画面分の画像データを格納することのできる画像メモリが複数、或いは、複数画面分のメモリ容量を備えた大きなメモリ容量の画像メモリが必要となる。

【0012】そこで、本願発明は、複数の固体撮像素子を用いた撮像装置において、画像メモリのメモリ容量を節約することのできる撮像装置の駆動方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本願発明は、上述の課題を解決するために成されたもので、その特徴とするところは、行列配置される複数の受光画素の各列に対応して配置される複数の垂直シフトレジスタと、前記複数の垂直シフトレジスタの各出力が各ビットに対応付けられる水平シフトレジスタと、を含む固体撮像素子が少なくとも2個並列に配置される撮像装置の駆動方法において、第1及び第2の被写体画像にตอบสนองして発生する情報電荷を第1及び第2の固体撮像素子の各受光画素に蓄積する蓄積ステップと、前記第1及び第2の固体撮像素子の各受光画素に蓄積された情報電荷を前記複数の垂直シフトレジスタを介して前記水平シフトレジスタへ転送出力する転送ステップと、前記第1及び第2の固体撮像素子の各水平シフトレジスタに出力された情報電荷をそれぞれ第1及び第2の画像信号として出力する出力ステップと、を有し、前記出力ステップは、前記第1及び第2の固体撮像素子の水平シフトレジスタから前記第1及び第2の画像信号を所定の時間毎に交互に出力する期間を含むことにある。

【0014】

【発明の実施の形態】図1は、本願発明の撮像装置の駆動方法を説明するフローチャートである。本願発明の駆動方法を採用する撮像装置は、第1及び第2の固体撮像素子の2つの固体撮像素子を備えており、これら第1及び第2の固体撮像素子に第1及び第2の被写体画像をそれぞれ捉えて第1及び第2の撮像画像A、Bを生成する。ここで、第1及び第2の固体撮像素子のそれぞれは、図2に示すようなフレームトランスファ型の固体撮像素子であり、各ビットが複数の受光画素のそれぞれに対応付けられる複数の垂直シフトレジスタからなる撮像部、撮像部を構成する複数の垂直シフトレジスタに連続する複数の垂直シフトレジスタからなる蓄積部、複数の垂直シフトレジスタの各列が各ビットに対応付けられる水平シフトレジスタ1hからなる水平転送部及び水平転送部の出力側に設けられる出力部1dで構成される。

【0015】以下、図1に従って撮像装置の駆動方法を説明する。ここでは、図3に示す複数の表示モードのうちから図3(a)に示すような表示画面上に主として第1の撮像画像Aを表示し、その左下の1/4の領域を第

2の撮像画像に置き換えて表示する場合を例に挙げて説明する。尚、表示画面上の水平方向で第1の撮像画像Aのみが表示される領域を第1の領域とし、この第1の領域に対応する垂直走査期間を第1の期間とする。一方、表示画面上の水平方向で第1及び第2の撮像画像A、Bが表示される領域を第2の領域とし、この第2の領域に対応する垂直走査期間を第2の期間とする。

【0016】ステップS1において、第1及び第2の被写体画像を第1及び第2の固体撮像素子の撮像部に受けて、光電変換によって発生する情報電荷をそれぞれの受光画素に蓄積する。続くステップS2において、第1及び第2の固体撮像素子のそれぞれで撮像部及び蓄積部を構成する複数の垂直シフトレジスタを転送駆動し、各受光画素に蓄積された情報電荷を高速で蓄積部に転送する。そして、第1及び第2の固体撮像素子の蓄積部に第1及び第2の撮像画像A、Bの各1画面分の情報電荷を一時的に蓄積する。

【0017】続くステップS3において、2つの撮像画像A、Bの表示画面での表示形態に従って、第1及び第2の画像信号Ya(t)、Yb(t)の出力タイミングを決定する。ここでは、図3(a)に示すように、表示画面の上半分の表示領域に第1の撮像画像Aのみを表示し(第1の領域)、表示画面の下半分の表示領域に第1及び第2の撮像画像Bを表示する(第2の領域)ため、これに合わせて、第1の領域に対応する第1の期間で第1の固体撮像素子を駆動して第1の画像信号Ya(t)を取り出し、第2の領域に対応する第2の期間で第1及び第2の固体撮像素子を駆動して第1及び第2の画像信号Ya(t)、Yb(t)を取り出す。

【0018】続くステップS4において、ステップS3の決定に従い、第1の固体撮像素子の蓄積部及び水平転送部を転送駆動する。第1の固体撮像素子では、蓄積部から1ライン分の情報電荷を水平転送部へ出力し、出力した情報電荷を順次1画素単位で出力部へ転送する。そして、出力部で情報電荷をその電荷量に応じた電圧値に変換し、1水平走査期間単位で1ライン毎に第1の画像信号Ya(t)を出力する。この動作は、第1の領域に含まれる水平ライン分で繰り返され、この期間で第1の撮像画像Aの上半分に相当する第1の画像信号Ya(t)を出力する。尚、第1の画像信号Ya(t)のみが出力される第1の期間では、第2の固体撮像素子の動作は停止されており、蓄積部に蓄積される第2の撮像画像Bはそのままの状態保持される。

【0019】続くステップS5において、ステップ4の動作が終了すると、第1の固体撮像素子の蓄積部及び水平転送部に加えて、第2の固体撮像素子の蓄積部及び水平転送部を転送駆動する。このとき、第1及び第2の固体撮像素子では、第1及び第2の画像信号Ya(t)、Yb(t)を交互に出力するように駆動制御される。即ち、第1の固体撮像素子では、ステップS4で水平走査期間毎

に1ライン単位で出力されていた第1の画像信号Ya(t)を1水平走査期間おきに1ラインずつ出力する。一方、第2の固体撮像素子では、第1の画像信号Ya(t)が出力されていない水平走査期間で第2の画像信号Yb(t)を出力する。尚、ここでは、図3(a)に示す表示モードに従い、第2の画像信号Yb(t)の1ライン分を出力した後第1の画像信号Ya(t)の1ライン分を出力する。このステップS5で出力された第1及び第2の画像信号Ya(t)、Yb(t)は、信号処理回路に取り込まれ、例えば、A/D変換された後に第2の画像信号Yb(t)が1ラインの半分のデータに圧縮されると共に、第1の画像信号Ya(t)が表示領域に相当する1ラインの後半分のデータだけが取り出される。そして、圧縮されたデータと後半分のみが取り出されたデータとが合成されて表示画像の1ライン分のデータとして扱われ、このデータが表示デバイス、或いは、メモリ等の記憶媒体に出力される。

【0020】このように、垂直走査期間中に第1の画像信号Ya(t)のみを取り出す第1の期間と、第1及び第2の画像信号Ya(t)、Yb(t)を1ライン単位で交互に取り出す第2の期間とを設け、これらの期間を表示画面の表示形態に合わせて設定することで、表示モードに応じた順序で画像信号を取り出すことができる。このため、第1及び第2の撮像画像A、Bをそれぞれ画像メモリに格納し、読み出しタイミングの制御によってデータの順序を並べ替える必要がなくなる。つまり、2画面分のメモリ容量を準備する必要がなくなり、メモリ容量を節約することができる。これにより、画像メモリのチップ面積の縮小化による撮像装置の小型化を可能とし、これに伴って製造コストの削減させることができる。尚、ここでは、図3(a)に示す表示モードに対応する場合を例示して説明したが、例えば、図3(b)～図3(d)に示すような他の表示モードには以下のように対応すれば良い。図3(b)に示すような表示画面の垂直方向に1/2に分割された領域のそれぞれに第1及び第2の撮像画像A、Bを表示するには、表示画面の1垂直走査期間に亘って第1及び第2の画像信号Ya(t)、Yb(t)を交互に出力する。また、図3(c)、(d)に示すような第1の撮像画像A、或いは、第2の撮像画像Bの何れか一方のみを表示する場合には、表示画面の1垂直走査期間に亘って第1及び第2の画像信号Ya(t)、Yb(t)の何れか一方だけを出力する。

【0021】図4は、本願発明の駆動方法を採用する撮像装置の一例を示すブロック図である。この撮像装置は、2つの固体撮像素子を備えたものであり、第1及び第2の固体撮像素子31a、31b、第1及び第2の昇圧回路32a、32b、第1及び第2のCCDドライバ回路33a、33b、タイミング制御回路34、第1及び第2のクランプ回路35a、35b、選択回路36、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39で構成される。

【0022】第1の固体撮像素子31aは、例えば、図2に示すようなフレームトランスファ型の固体撮像素子であり、撮像部、蓄積部、水平転送部及び出力部で構成される。撮像部、蓄積部、水平転送部及び出力部は、第1のフレーム転送クロック $\phi a(f)$ 、第1の垂直転送クロック $\phi a(v)$ 、第1の水平転送クロック $\phi a(h)$ 及び第1のリセットクロック $\phi a(r)$ をそれぞれ受け、撮像部に蓄積した情報電荷に応じて画像信号 $Y a(t)$ を出力する。また、第1の固体撮像素子31aは、撮像部に発生する過剰な電荷を基板側へ吸収させるいわゆる縦型オーバーフローレイン構造を有しており、撮像部に蓄積される情報電荷を基板クロック $\phi a(b)$ によって基板側へ排出することが可能になっている。第2の固体撮像素子31bは、第1の固体撮像素子31aと同様に、撮像部、蓄積部、水平転送部及び出力部から構成され、第2のフレーム転送クロック $\phi b(f)$ 、第2の垂直転送クロック $\phi b(v)$ 、第2の水平転送クロック $\phi b(h)$ 及び第2のリセットクロック $\phi b(r)$ をそれぞれに受けて、撮像部に蓄積した情報電荷に応じて第2の画像信号 $Y b(t)$ を出力する。この第2の固体撮像素子31bにおいても、縦型オーバーフローレイン構造を有しており、基板側への情報電荷の排出が可能になっている。

【0023】第1の昇圧回路33aは、第1のCCD固体撮像素子31aに対応して配置され、入力される電源電圧 V_D （図示せず）を昇圧して昇圧電圧を発生し、第1のCCDドライバ回路32aへ供給する。第2の昇圧回路32bは、第2のCCD固体撮像素子31bに対応して配置され、第1の昇圧回路33aと同様に、電源電圧 V_D を昇圧して得られる昇圧電圧を第2のCCDドライバ回路32bへ供給する。

【0024】第1のCCDドライバ回路32aは、タイミング制御回路34から供給されるタイミング信号に基づいて第1のフレーム転送クロック $\phi a(f)$ 、第1の垂直転送クロック $\phi a(v)$ 、第1の水平転送クロック $\phi a(h)$ 、第1のリセットクロック $\phi a(r)$ 及び第1の基板クロック $\phi a(b)$ を生成し、第1のCCD固体撮像素子31aへ供給する。第2のCCDドライバ回路32bは、タイミング制御回路34から供給されるタイミング信号に基づいて第2のフレーム転送クロック $\phi b(f)$ 、第2の垂直転送クロック $\phi b(v)$ 、第2の水平転送クロック $\phi b(h)$ 、第2のリセットクロック $\phi b(r)$ 及び第2の基板クロック $\phi b(b)$ を生成し、第2のCCD固体撮像素子32bへ供給する。これら第1及び第2のCCDドライバ回路32a、32bは、第1及び第2のCCD固体撮像素子31a、31bのそれぞれに対応して配置されており、このため、第1及び第2の固体撮像素子31a、31bの同時駆動が可能となっている。

【0025】タイミング制御回路34は、一定周期の基準クロック CK をカウントする複数のカウンタ34aと、このカウンタの出力をデコードするデコーダ34b

からなり、デコーダ34bの設定値を変更することで様々なタイミングのクロックパルスを複数生成することができる。このタイミング制御回路34は、第1及び第2のCCDドライバ33a、33bに対して共通に配置され、一定周期の基準クロック CK を分周して、第1の基板クロック $\phi a(b)$ 、第1のフレーム転送クロック $\phi a(f)$ 、第1の垂直転送クロック $\phi a(v)$ 、第1の水平転送クロック $\phi a(h)$ 及び第1のリセットクロック $\phi a(r)$ を生成すると共に、第2の基板クロック $\phi b(b)$ 、第2のフレーム転送クロック $\phi b(f)$ 、第2の垂直転送クロック $\phi b(v)$ 、第2の水平転送クロック $\phi b(h)$ 及び第2のリセットクロック $\phi b(r)$ を生成する。

【0026】また、タイミング制御回路34では、例えば、図3のように設定される複数の表示モードのそれぞれに対応する複数の設定データのうちから1つを後述するレジスタ40から受け、これに応じてデコーダ34bの設定値が変更される。これにより、各クロックパルスの供給開始タイミングや立ち上がりタイミングが変更される。例えば、図3(b)の場合、これに対応する設定データがデコーダ34bに与えられ、第1のCCDドライバ回路33aに供給するクロックパルスの位相と第2のCCDドライバ回路33bに供給するクロックパルスの位相とがずれるように各クロックパルスが生成される。そして、これらのクロックパルスが第1及び第2の固体撮像素子31a、31bへ供給され、第1の画像信号 $Y a(t)$ と第2の画像信号 $Y b(t)$ とが時分割で出力されるように制御される。

【0027】レジスタ40は、複数の表示モードのそれぞれに対応付けられた複数の設定データを格納しており、外部から与えられる表示モード切り替え信号 $MODE$ を受けて、これによって指定される表示モードに対応した設定データをタイミング制御回路34に出力する。これにより、各クロックパルスの供給開始のタイミングや、或いは、立ち上がりのタイミングが指定された表示モードに合わせて変更される。

【0028】第1のクランプ回路35aは、第1の固体撮像素子31aに対応して配置され、第1の画像信号 $Y a(t)$ をクランプして選択回路36に供給し、第2のクランプ回路35bは、第2の固体撮像素子31bに対応して配置され、第2の画像信号 $Y b(t)$ をクランプして選択回路36に供給する。これら第1及び第2のクランプ回路35a、35bは、互いに同一のクランプレベルを有しており、第1及び第2の画像信号 $Y a(t)$ 、 $Y b(t)$ の互いの黒レベルを同じ電圧レベルに固定した後に出力するようにしている。

【0029】選択回路36は、2つの入力端子36a、36bと1つの出力端子36cとを備えて構成され、第1及び第2のクランプ回路35a、35bから出力される第1及び第2の画像信号 $Y a(t)$ 、 $Y b(t)$ を取り込んで、これらの信号の何れか一方を選択して画像信号 Y

(t)として出力する。選択回路36は、タイミング制御回路34から供給されるタイミング信号に従って動作し、第1の固体撮像素子31aから第1の画像信号Ya(t)が出力されている期間で入力端子36aと出力端子36cを接続し、第2の固体撮像素子31bから第2の画像信号Yb(t)が出力されている期間で入力端子36bと出力端子36cを接続する。即ち、選択回路36は、第1及び第2の固体撮像素子31a、31bから時分割で出力される2系列の画像信号をこれらの出力タイミングに応じて選択的に取り込んで出力することで、その出力側で実質的に1系列の画像信号に合成している。

【0030】アナログ信号処理回路37は、選択回路36から出力される画像信号Y(t)を取り込み、CDS、AGC等の信号処理を施して画像信号Y'(t)を出力する。A/D変換回路38は、アナログ信号処理の施された画像信号Y'(t)をデジタル信号に変換し、画像データY(n)として出力する。デジタル信号処理回路39は、画像データY(n)に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データを生成する。更に、デジタル信号処理回路39は、露光制御回路、ホワイトバランス制御回路、積分回路を内蔵しており、画像データを所定の期間単位で積分して、その積分値に基づいて露光制御、ホワイトバランス補正を行う。尚、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39では、タイミング制御回路34の制御によって、第1及び第2の画像信号Ya(t)、Yb(t)のそれぞれに対する信号処理が時分割で別々に行われる。

【0031】図5は、図4の動作を説明するタイミング図である。ここでは、図3に示す複数の表示モードのうちから、主として第1の撮像画像Aを表示し、左下の1/4の領域に第2の撮像画像Bを表示する場合(図3(a))を例にあげて説明する。尚、以下の説明において、第1及び第2の固体撮像素子31a、31bの撮像部が12ラインで構成されるものとする。

【0032】タイミングt0～t1において、垂直同期信号VDのブランキング期間内で第1のフレーム転送クロックφa(f)及び第1の垂直転送クロックφa(v)がクロッキングされて、第1の固体撮像素子31aの撮像部に蓄積される1画面分の情報電荷が蓄積部に転送出力される。続くタイミングt1～t2において、第2のフレーム転送クロックφb(f)及び第2の垂直転送クロックφb(v)がクロッキングされて、第2の固体撮像素子31bの撮像部に蓄積される1画面分の情報電荷が蓄積部に転送出力される。ここで、第1の固体撮像素子31aと第2の固体撮像素子31bとでフレームシフトタイミングをずらすのは、フレームシフト開始時の突入電流のピーク値を低減させるためである。即ち、フレームシフトは、撮像部に蓄積された情報電荷を高速で蓄積部に転送出力するため、フレームシフト開始時には過大な突入電

流が流れる。そこで、2つの固体撮像素子で同時にフレームシフトを開始しないことで、突入電流のピーク値を低く抑えている。

【0033】続いて、タイミングt3において、水平同期信号HDに同期するタイミングで第1の垂直転送クロックφa(v)がクロッキングされ始め、第1の固体撮像素子31aの蓄積部に出力された1画面分の情報電荷が1ライン単位で順次水平転送部に転送出力され、水平転送部に出力された情報電荷が順次画像信号Ya(t)として出力される。これは、タイミングt5まで継続され、1画面分の上半分の領域に相当する6ライン分の画像信号が出力される。尚、この期間では、第2の昇圧回路32bからの昇圧電圧の出力が停止されて第2のCCDドライバ回路33bがその動作を停止し、第2の垂直転送クロックφb(v)がローレベルに固定されている。これにより、第2の固体撮像素子31bから第2の画像信号Yb(t)の出力がなされないようにしている。

【0034】タイミングt4において、第1の基板クロックφa(b)が立ち上げられて、第1の固体撮像素子31aの撮像部に蓄積された情報電荷が基板側に排出される。そして、次のフレームシフトタイミングまでの期間Laで撮像部に情報電荷が蓄積される。また、タイミングt6において、第2の基板クロックφb(b)が立ち上げられて、次のフレームシフトタイミングまでの期間Lbで第2の固体撮像素子31bの撮像部に情報電荷が蓄積される。

【0035】タイミングt5において、第1の固体撮像素子31aからの6ライン分の画像信号の出力が完了すると、第1の垂直転送クロックφa(v)の周期が2倍に変更され、それと同じ周期で第2の垂直転送クロックφb(v)のクロッキングが開始される。第1及び第2の垂直転送クロックφa(v)、φb(v)は、タイミングt5～t7にわたってクロッキングされ、第1の固体撮像素子31aから第2の画像信号Yb(b)が出力される。この期間では、図5に示すように、第1及び第2の垂直転送クロックφa(v)、φb(v)が交互に立ち上がるように設定され、この結果、第1及び第2の固体撮像素子31a、31bからは第1及び第2の画像信号Ya(t)、Yb(t)が1ライン単位で交互に出力される。このとき、第2の画像信号Yb(t)は、表示領域が垂直方向の1/2の領域に設定されているため、12ラインで構成される1画面分が1ラインおきに間引かれて6ラインで出力される。また、タイミングt5～t7においては、第1及び第2の画像信号Ya(t)、Yb(t)の出力タイミングに応答して、選択回路36でそれぞれの画像信号が選択的に取り込まれて出力側で合成され、画像信号Y(t)として出力される。このように、第1及び第2の画像信号Y(t)の出力タイミングを制御し、その出力タイミングに合わせて選択回路36を動作させることで、指定された表示モードに合わせた順序で画像信号を取り出すことができる。

【0036】図6は、図5に示すタイミングで第1及び第2の固体撮像素子31a、31bから出力される第1及び第2の画像信号Ya(t)、Yb(t)と、選択回路36から出力される画像信号Y(t)と、デジタル信号処理回路39から出力される画像データD(n)との状態を示すタイミング図である。

【0037】第1の画像信号Ya(t)は、図5で説明したように、6ライン目までは、順次1ライン単位で連続して出力される。その後、7ライン目からは、第2の画像信号Yb(t)と互いに異なるタイミングで交互に出力される。第2の画像信号Yb(t)は、第1の画像信号Ya(t)が6ライン分の出力が完了した後で出力が開始される。

【0038】選択回路36から出力される画像信号Y(t)は、6ライン目までが第1の画像信号Ya(t)の6ラインとなり、7ライン目以降が第1の画像信号Ya(t)と第2の画像信号Yb(t)とが1ライン単位で交互に割り当てられる。即ち、第1の画像信号Ya(t)が6ライン目まで出力されるまでの期間では、選択回路36で第1の固体撮像素子31a側が選択されており、第1の画像信号Ya(t)の6ライン目までがそのまま選択されて画像信号Y(t)として出力される。それ以降の期間では、選択回路36で第1の固体撮像素子31a側と第2の固体撮像素子31b側とが交互に選択され、第2の画像信号Yb(t)の1ライン目の信号に続いて第1の画像信号Ya(t)の7ライン目の信号、それに続いて第2の画像信号Yb(t)の3ライン目の信号という具合に、第1及び第2の画像信号Ya(t)、Yb(t)が交互に割り当てられて画像信号Y(t)として出力される。この結果、画像信号Y(t)の7ライン目以降は、実質的に第1の画像信号Ya(t)と第2の画像信号Yb(t)とが合成された状態となる。

【0039】デジタル信号処理回路39から出力される画像データD(n)は、第1の画像信号Ya(t)の6ライン目までに相当する画像信号Y(t)の6ライン目までが順次信号処理が施されて出力される。7ライン目以降は、第2の画像信号Yb(t)の1ライン分に対応する画像データが、デジタル信号処理回路39に内蔵される圧縮回路で1ラインの半分のデータに圧縮される。これに加え、7ライン目以降では、第1の画像信号Ya(t)の1ライン分に対応する画像データから表示領域には当たらない1ラインの前半のデータが取り除かれる。そして、圧縮された画像データと1ラインの後半のみが取り出されたデータとが合成されて1ライン分の画像データD(n)とされる。例えば、画像データD(n)の7ライン目のデータは、第2の画像信号Yb(t)の1ライン目から生成された画像データが1ラインの半分に圧縮されたデータと第1の画像信号Ya(t)の7ライン目から生成された画像データの1ラインの後半が取り出されたデータとが合成されて生成されている。これにより、表示画面には、第1の固体撮像素子31aで撮像した第1の撮影画像Aの左下側1/4の領域に第2の固体撮像素子31bで撮像した

第2の撮影画像Bの縮小画像が置き換えられて表示され、2つの撮像画像が同時に表示される。

【0040】このように、第1の画像信号Ya(t)と第2の画像信号Yb(t)との出力を切り換え、それに合わせた圧縮処理や合成処理を行うことで、表示画面上での再生画像の表示形態を切り換えることができる。即ち、それぞれの表示領域に合わせて第1及び第2の画像信号Ya(t)、Yb(t)の各画像信号の出力を制御することで、画像メモリのメモリ容量を節約しながら、指定される表示モードに応じた画像データを生成することができる。

【0041】以上の実施形態においては、第1及び第2のCCD31a、31bがフレームトランスファ型である場合を例示して説明したが、本願発明は、これに限られるものではなく、1画面分の情報電荷を一時的に保持することのできる蓄積部を備えるフレームインターライン型の固体撮像素子を用いた撮像装置にも適している。

【0042】

【発明の効果】本願発明によれば、出力ステップ中に第1及び第2の画像信号を交互に出力する期間を設けると共に、この期間を表示画面の表示形態に合わせて設定することで、2つの画像信号を表示モードに応じた順序で取り出すことができる。このため、複数画面分のメモリ容量を準備する必要がなくなり、撮像装置のうち画像メモリ分のチップ面積を削減することができる。これにより、撮像装置としての部品点数を低減させることができ、撮像装置の小型化及び製造コストの削減を図ることができる。

【図面の簡単な説明】

【図1】本願発明の撮像装置の駆動方法を説明するフローチャートである。

【図2】フレームトランスファ型の固体撮像素子の構成を示す平面図である。

【図3】表示モードの一例を示す模式図である。

【図4】図1の駆動方法を採用する撮像装置の一例を示すブロック図である。

【図5】図4の動作を説明するタイミング図である。

【図6】第1及び第2の画像信号Ya(t)、Yb(t)、画像信号Y(t)、画像データD(n)の状態を示すタイミング図である。

【図7】従来の撮像装置の構成を示すブロック図である。

【図8】表示モードの一例を示す模式図である。

【符号の説明】

1a、31a：第1の固体撮像素子

1b、31b：第2の固体撮像素子

2a、32a：第1の昇圧回路

2b、32b：第2の昇圧回路

3a、33a：第1のCCDドライバ回路

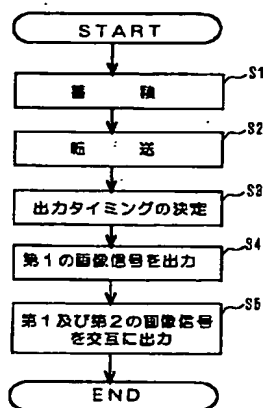
3b、33b：第2のCCDドライバ回路

4a：第1のタイミング制御回路

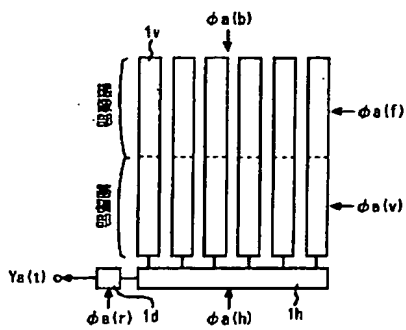
4 b : 第2のタイミング制御回路
 5 a : 第1のアナログ信号処理回路
 5 b : 第2のアナログ信号処理回路
 6 a : 第1のA/D変換器
 6 b : 第2のA/D変換器
 7 a : 第1のデジタル信号処理回路
 7 b : 第2のデジタル信号処理回路
 8 a : 第1のメモリ
 8 b : 第2のメモリ

9 : メモリコントローラ
 34 : タイミング制御回路
 35 a : 第1のクランプ回路
 35 b : 第2のクランプ回路
 36 : 選択回路
 37 : アナログ信号処理回路
 38 : A/D変換回路
 39 : デジタル信号処理回路

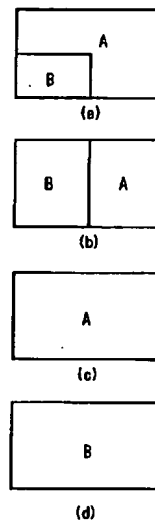
【図1】



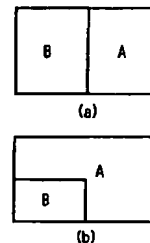
【図2】



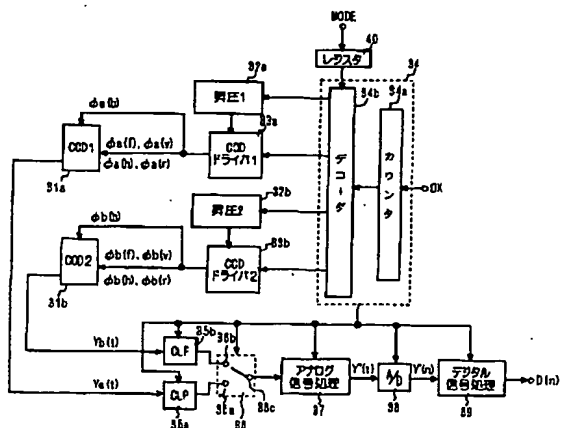
【図3】



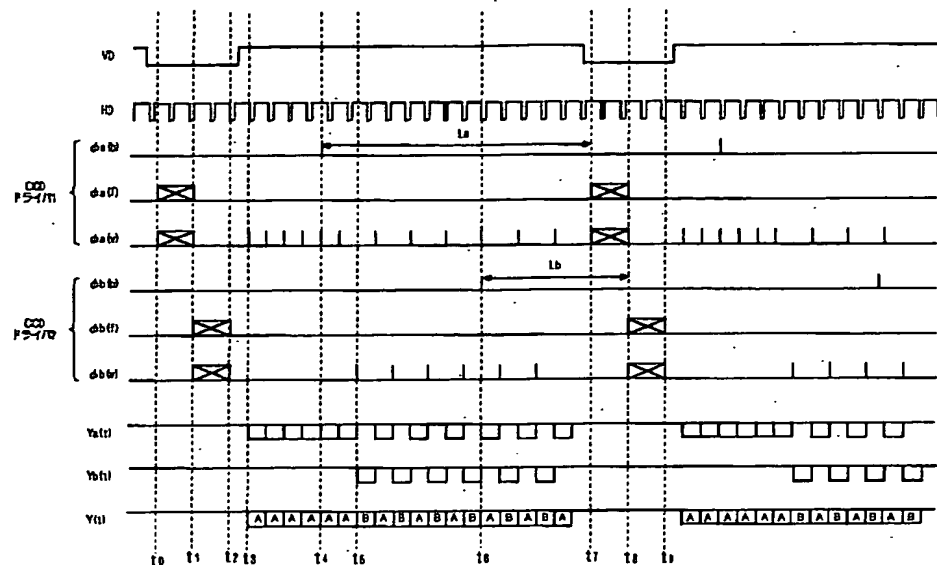
【図8】



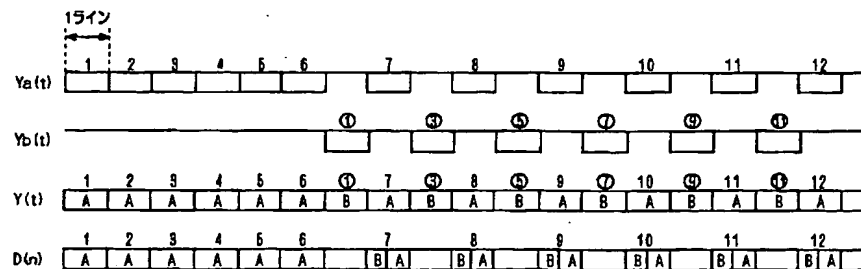
【図4】



【図5】



【図6】



【図 7】

